

Docket No.: 60188-783

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Etsuyoshi KOBORI	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: February 20, 2004	:	Examiner:
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

**Japanese Patent Application No. JP 2003-052844, filed on February 28, 2003.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:gav  
Facsimile: (202) 756-8087  
**Date: February 20, 2004**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 : 2 0 0 3 年 2 月 2 8 日  
Date of Application:

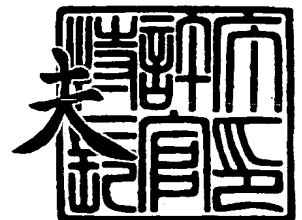
出 願 番 号 : 特 願 2 0 0 3 - 0 5 2 8 4 4  
Application Number:  
[ST. 10/C]: [ J P 2 0 0 3 - 0 5 2 8 4 4 ]

出 願 人 : 松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 2 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2926440047

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/762

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 小堀 悦理

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100097445

    【弁理士】

    【氏名又は名称】 岩橋 文雄

【選任した代理人】

    【識別番号】 100103355

    【弁理士】

    【氏名又は名称】 坂口 智康

【選任した代理人】

    【識別番号】 100109667

    【弁理士】

    【氏名又は名称】 内藤 浩樹

【手数料の表示】

    【予納台帳番号】 011305

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に素子分離領域を形成する工程において、  
前記基板上にパターンマスクを形成する工程と、  
前記マスクを用いて実素子領域とダミーパターン領域にそれぞれ溝を形成する工程と、

前記溝内部に絶縁膜を堆積する工程と、

前記溝内部からはみ出した前記絶縁膜を除去し、基板上に前記素子分離領域を形成する工程とを備え、

前記ダミーパターン領域におけるダミーパターンの幅寸法が、前記溝深さの 4 倍より小さいことを特徴とする、半導体装置の製造方法。

【請求項 2】 前記ダミーパターンの形状が長方形であり、  
前記長方形の短辺が前記ダミーパターンの幅寸法であり、  
前記長方形の長辺が前記幅寸法の 3 倍以上の長さを有していることを特徴とする、請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記ダミーパターンの幅寸法が、 $1.0\ \mu\text{m}$  以下であることを特徴とする、請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記ダミーパターン領域の基板上における占有率が、 $15\sim 80\%$  であることを特徴とする、請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に S T I 構造及び S T I の形成方法に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路の高集積化に伴い、素子分離方法にシャロートレンチアイソレーション（S T I）が採用されている。

## 【0003】

特に素子分離領域が大きい場合は、STI-CMP工程におけるディッシングが問題となるため、アクティブ以外の領域に、ダミーパターンを形成する方法が用いられる。例えば、特許文献1に記載されているような方法がある。

## 【0004】

具体的には、図5(a)に示すように、単結晶シリコン等からなる半導体基板12上に下敷き酸化膜14を形成し、さらに窒化膜15を形成する。その後、本番パターン9とダミーパターン11とのアクティブ領域を除く領域の窒化膜15を選択的にエッチング除去した後、窒化膜15にマスクを用いて半導体基板12をエッチングすることによりトレンチ16を形成する。次いで、トレンチ16内を埋め込んで全面にHDP(High density plasma)酸化膜から成る分離酸化膜13aを堆積した後、所定のパターン寸法より大きいアクティブ領域の分離酸化膜13aをエッチングするためのレジストパターン17を分離酸化膜13a上に形成する。このレジストパターン17は、対象となるアクティブ領域より、例えばアンダーサイシングして形成する。

## 【0005】

その後、図5(b)に示すように、レジストパターン17をマスクとして分離酸化膜13aを窒化膜15に到達するまでエッチングして開口する。これにより、比較的広いアクティブ領域、即ち大きなダミーパターン11および比較的広い本番パターン9の領域上の分離酸化膜13aは中央部が開口され端部13bのみが残存する。なお、微細本番パターン9上に形成されるHDP酸化膜13cは図に示すように小さな三角形状となり、例えば、DRAM部のメモリセルなど、微細本番パターン9の密集領域においても、小さな三角形状の多数のHDP酸化膜13cが密集する状態となる。

## 【0006】

続いて、図5(c)に示すように、CMP法により分離酸化膜13aを研磨して窒化膜15上の分離酸化膜13aを除去してトレンチ16内のみに残存させ、トレンチ型分離酸化膜13を形成する。

## 【0007】

最後に、窒化膜 15、下敷き酸化膜 14 を順次ウェットエッチングにより除去して、素子分離が完成する。

#### 【0008】

##### 【特許文献 1】

特開 2001-176959 号公報（段落番号 0015～0016）

#### 【0009】

##### 【発明が解決しようとする課題】

しかし従来技術においては、図 5（b）の工程において、図 4（a）に示すような角 17 が形成される場合がある。その場合に、図 5（c）に示す 13a を研磨する工程において、図 5（b）に示す 13b、13c も同時に除去すると、この角 17 が折れ、図 4（b）に示すように、表面上に傷 18 を付ける場合がある。また、高集積化に伴い形成する STI の幅だけでなく、隣り合う STI 間の距離が狭くなるため、図 4（a）に示す分離酸化膜 13a が小さくなり、CMP 工程においてスクラッチを形成しやすくなる。その結果、図 4（b）に示すように、CMP 工程を経て平坦化する際に、角 17 や STI 領域間の分離酸化膜 13 が折れてスクラッチとなり、これが実素子領域にも転がって表面に傷をつけて欠陥が発生する。

#### 【0010】

そこで本発明は、ダミーパターンの最小寸法を制御することにより、スクラッチの発生を防ぐと共に、研磨時間を短縮して効率化を可能とする、半導体装置およびその製造方法を提供する。

#### 【0011】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明では、基板上に素子分離領域を形成する工程において、基板上にレジストを塗布しマスクを形成する工程と、マスクを用いて実素子領域とダミーパターン領域にそれぞれ溝を形成する工程と、溝内部に絶縁膜を堆積する工程と、溝内部からはみ出した絶縁膜を除去し、基板上に素子分離領域を形成する工程とを備え、ダミーパターン領域におけるダミーパターンの幅寸法が、溝深さの 4 倍より小さいことを特徴とする、半導体装置の製造方法を

提供する。

#### 【0012】

その結果、実素子領域とダミーパターン領域上に堆積される絶縁膜量のばらつきを抑えることができるため、スクラッチの発生を抑制することが出来る。また、堆積される絶縁膜量自体を抑えることが出来るため、STI埋め込み時の研磨時間を短縮することが出来る。よって、歩留まりの低下を抑えつつ、生産効率を向上させる半導体装置の製造方法を提供することが出来る。

#### 【0013】

##### 【発明の実施の形態】

本発明の実施形態について、以下図面を参照しながら説明する。

#### 【0014】

まず、図1(a)に示すように、基板101上にPoly-Si膜102とSiN膜103を堆積する。

#### 【0015】

次に、図1(b)に示すように、実素子領域106及びダミーパターン領域105に分離酸化膜を形成するためのレジストパターン104を形成する。ここで、ダミーパターン領域105形成用レジストは、従来のような大きなパターンではなく、大きなパターンを小分けにしたダミーパターン領域105の構造にする。本実施形態においては、このダミーパターン領域105の形状をコントロールする点に特徴があり、本発明において効果をもたらす点である。ダミーパターン領域105の形状については、後程詳述する。

#### 【0016】

その後、図1(c)に示すように、レジストパターン104をマスクとして、ドライエッチングにより素子分離用の溝を有する実素子領域106、及びダミーパターン領域105を形成する。

#### 【0017】

続いて、図1(d)に示すように、HDP-CVD法を用いて素子分離用の溝及びダミーパターン内に絶縁膜107、例えばSiO<sub>2</sub>膜を埋め込む。ここで、先の工程において実素子領域106の形状に合わせてダミーパターン領域105



の形状をコントロールしてあるので、HDP-CVD条件を調整するというシンプルな方法により、実素子領域106上に堆積される絶縁膜107の膜厚とダミーパターン領域105上に堆積される絶縁膜107の膜厚をほぼ等しい膜厚で形成することが出来る。例えば、適したHDP-CVD条件として、RF Powerは2kW~5kW、Bias Powerは1kW~3kW、SiH<sub>4</sub>の供給量は30sccm~50sccm、供給ガスO<sub>2</sub>の供給量は50sccm~100sccm程度に設定することが望ましい。

#### 【0018】

次に、図1(e)に示すように、実素子領域106上及びダミーパターン領域105上の余分な絶縁膜107をCMPによる研磨により除去し、実素子領域106の溝に完全に絶縁膜107を埋め込み、STIを完成する。

#### 【0019】

ここで、本発明の特徴である、ダミーパターン領域105に形成する各ダミーパターン形状について図面を参照しながら説明する。

#### 【0020】

本発明は、ある面積のダミーパターン領域105内でダミーパターンを小分けし、各ダミーパターンの配置を行うことにより、各ダミーパターン上に堆積される絶縁膜107の持つ強度を保ちつつ、ダミーパターン領域105上に堆積される絶縁膜107の量を抑えることが出来る点に特徴がある。ここで、堆積される絶縁膜107にある程度強度が必要となるのは、ダミーパターン領域105などの上にある絶縁膜107の強度があまりに弱いと、CMP工程においてダミーパターン領域105上にある絶縁膜107が少ずつ順に研磨されるのではなく、ある程度の大きさをもった塊として除去されてしまい、それが研磨工程時に傷を発生させる原因となるからである。

#### 【0021】

まず、各ダミーパターン自体の大きさのコントロールについて説明する。図2(a)は、ダミーパターンの断面形状を示したものであり、ダミーパターンの幅200、溝の深さを201とする。

#### 【0022】

ここで図 2 (b) に示すように、ダミーパターン領域 105 上に堆積された絶縁膜 107 の研磨時間は、ダミーパターン幅寸法 200 と溝深さ 201 の比に依存する。

#### 【0023】

具体的には、図 2 (b) は横軸にダミーパターン幅寸法 200 と溝深さ 201 の比を、縦軸に絶縁膜 107 の研磨時間を示している。このグラフより、ダミーパターン幅寸法 200 と溝深さ 201 の比が特に 4 以下と小さくなる程、絶縁膜 107 の研磨に要する時間が少なくなることが分かる。例えば、従来の小分けにしていないダミーパターンを用いる場合には、240 sec 程度の研磨時間が必要となる。

#### 【0024】

一方、本発明のようにダミーパターン領域 105 を小分けにし、小分けにした各ダミーパターンの幅寸法が溝深さの 4 倍以下になると、図 2 (b) の左部分のグラフからわかるように、急激に研磨時間は減少し、例えば研磨終了までにかかる時間が 130 sec 程度と短縮される。

#### 【0025】

したがって、ダミーパターンの幅寸法 200 とトレンチの溝深さ 201 の比が 4 以下となると、短時間で絶縁膜 107 の研磨を完了することが出来るため、ダミーパターン領域 105 上と実素子領域 106 上に堆積された絶縁膜 107 を研磨するのに要する時間の差自体も、大変小さくなる。つまり、ダミーパターンの最小幅寸法 200 は溝深さ 201 に依存し、特にダミーパターン幅寸法 200 を、パターン中最小の溝深さ 201 の 4 倍以下になるように設定することが望ましい。その結果、どの溝深さに対しても 4 倍以下の幅を有するダミーパターンを形成することが出来、堆積される絶縁膜 107 の総量を抑制することが出来る。

#### 【0026】

次に、ダミーパターンの形状及び配置について図面を参照しながら説明する。

#### 【0027】

図 3 (a) は、ダミーパターン領域 105 の一部のダミーパターンを上面から見た図であり、絶縁膜 107 上にダミーパターンが配置され、この隣り合うダミ

ーパターン間の横の距離を204、縦の距離を203とする。また、ダミーパターン自体の横幅寸法はダミーパターンの幅寸法200に該当し、ダミーパターンの長さについてはダミーパターンの縦寸法202とする。

#### 【0028】

絶縁膜107の研磨工程において、実素子領域106上に堆積されている絶縁膜107上や、絶縁膜107表面から突出しているダミーパターン上の絶縁膜107上に研磨圧力が集中し、他の箇所より強い圧力が、突出しているパターン上に付加される。この比較的強い研磨圧力によって、溝からはみ出した実素子領域106上の絶縁膜107や、ダミーパターン上の絶縁膜107が、順に上から研磨されるのではなく研磨途中で折れてしまい、ある程度の大きさを持った塊が発生する場合がある。このような塊はCMP工程においてはスクラッチとなり、平坦化の際に基板上に傷等を付ける原因となる。この現象は、特に実素子領域よりも基板上に占める割合の多いダミーパターン領域において顕著である。そこで、ダミーパターン上に堆積される絶縁膜107は、ある程度強度を有している必要がある。

#### 【0029】

具体的には、ダミーパターンを上面から見た場合の形状が、正方形ではなく長方形であることが望ましい。長方形の方が、縦と横の長さが違う分、研磨時に各方向から加わる力に対して均一でない抵抗力を有しており、同じ面積のもので比較すると、正方形より研磨時の膜強度が高いためである。なお、ダミーパターンの縦寸法202の長さが、ダミーパターンの幅寸法200の3倍以上の長さであることが望ましい。このようなパターン配置を行えば、実素子領域のパターンの配置に合わせてダミーパターンの占有率を、例えば15～80%と変化させる場合においても、研磨時のばらつきを抑えることが出来る。

#### 【0030】

また、ダミーパターンの幅寸法を制御することによって、CMP工程における平坦化特性、段差緩和特性を向上させることが出来る。

#### 【0031】

図3(b)は、横軸に絶縁膜107の研磨時間、縦軸にダミーパターンの高さ

を取り、両者の関係を示している。ここで、本発明の方法で形成されたダミーパターンは、素子分離領域の面積に対してダミーパターンの総面積比率、つまり占有率として78%を有している場合を、従来方法で形成されたダミーパターンは占有率が60%である場合を示している。本発明のダミーパターンのように占有率が78%と高くても、ダミーパターンの幅寸法200が $1.0\text{ }\mu\text{m}$ 以下、例えば $0.75\text{ }\mu\text{m}$ と小さく、またダミーパターンの高さが例えば200nmと低ければ、研磨にかかる総時間は短く、たとえ従来の方法によって形成されたダミーパターンの占有率が低くても、ダミーパターンの幅寸法200が例えば $3.0\text{ }\mu\text{m}$ 、 $5.0\text{ }\mu\text{m}$ 、 $7.0\text{ }\mu\text{m}$ と大きく、またダミーパターンの高さが例えば250nmと高ければ、研磨時間は長くなることが分かる。なお、ダミーパターンの幅寸法200としては、 $1.0\text{ }\mu\text{m}$ 以下であることが望ましい。

#### 【0032】

以上本実施形態によると、実素子領域とダミーパターン領域上に堆積される絶縁膜量のばらつきを抑え、かつ研磨に適したダミーパターンを形成することができるため、スクラッチの発生を抑制することが出来る。また、ダミーパターン上に堆積される絶縁膜量自体を抑えることが出来るため、堆積された絶縁膜の研磨時間を短縮することが出来る。よって、歩留まりの低下を抑えつつ、生産効率を向上させる半導体装置の製造方法を提供することが出来る。

#### 【0033】

##### 【発明の効果】

本発明によると、ダミーパターン幅寸法200が実素子領域106における溝深さ201の4倍以上、またはダミーパターンの縦寸法202がダミーパターン幅寸法200の3倍以上であり、好ましくはダミーパターンの幅寸法200が $1.0\text{ }\mu\text{m}$ 以下であるダミーパターンを提供する。その結果、ダミーパターンの占有率が60%以上ある場合においても、リバースエッチを用いることなく、またスクラッチの発生を抑制しつつ、均一なSTIを形成することが出来る。

#### 【0034】

つまり、ダミーパターンを必要とする領域において、ダミーパターンの占有率に依存する研磨時間を考慮することなく、短時間で研磨を行うことが出来るため

、研磨時のストッパー膜である S i N 膜 1 0 3 の過剰な研磨を抑制するため、さまざまな寸法を持つ実素子領域 1 0 6 の S T I 高さのばらつきを抑制することが出来る。また、パターンの占有率によってダミーパターン配置を変更する必要がないため、半導体装置設計における自由度を保持するとともに、全体の研磨時間が短縮されることから、製造コストを低減することが出来る。

【図面の簡単な説明】

【図 1】

本発明の実施形態の工程断面図

【図 2】

本発明の効果を示す図

【図 3】

本発明の効果を示す図

【図 4】

従来例の問題点を示す図

【図 5】

従来方法の工程断面図

【符号の説明】

- 1 0 1 基板
- 1 0 2 ポリシリコン膜
- 1 0 3 S i N 膜
- 1 0 4 レジストパターン
- 1 0 5 ダミーパターン領域
- 1 0 6 実素子領域
- 1 0 7 絶縁膜
- 2 0 0 ダミーパターンの幅寸法
- 2 0 1 溝深さ
- 2 0 2 ダミーパターンの縦寸法
- 2 0 3 縦の間隔
- 2 0 4 横の間隔

【書類名】

図面

【図 1】

101 基板

102 ポリシリコン膜

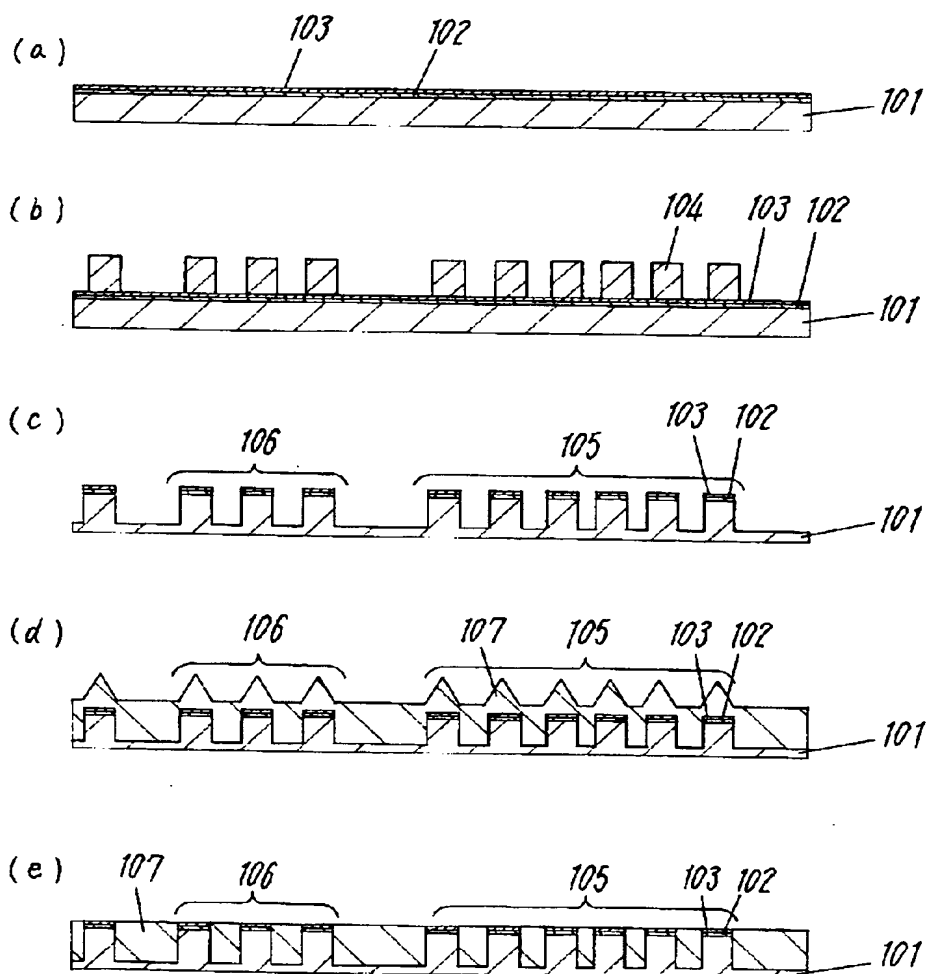
103 SiN膜

104 レジストパターン

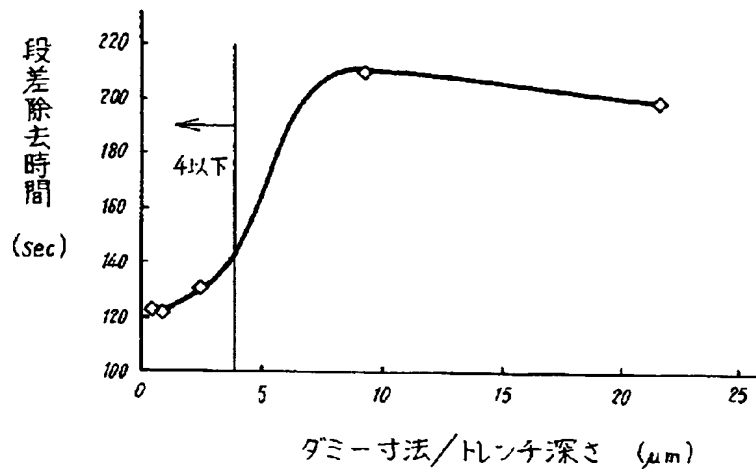
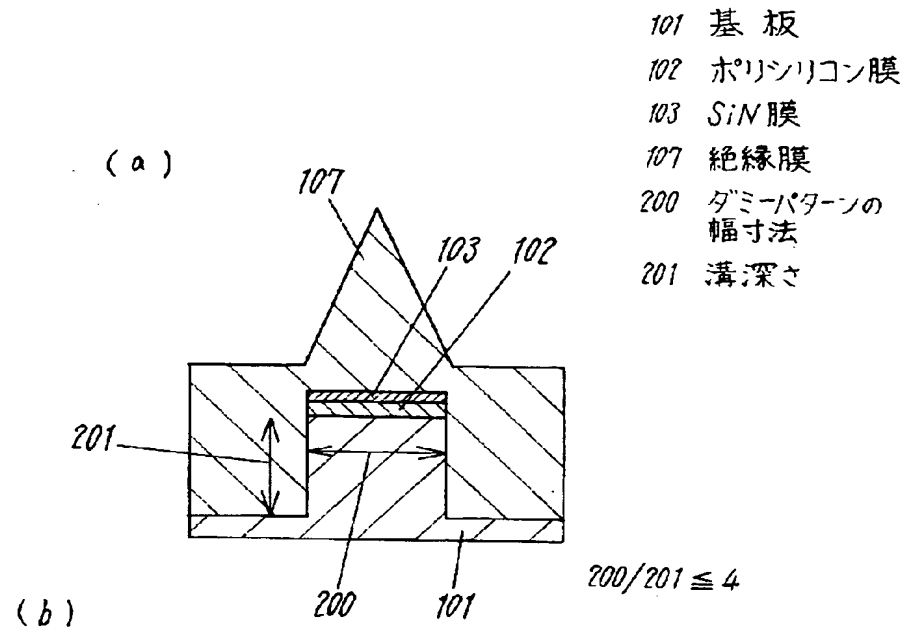
105 ダミーパターン領域

106 実素子領域

107 絶縁膜

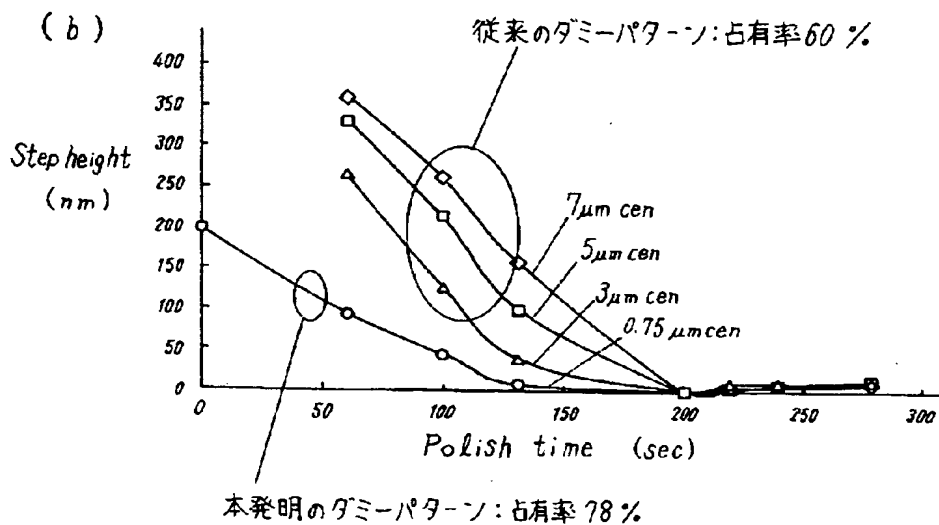
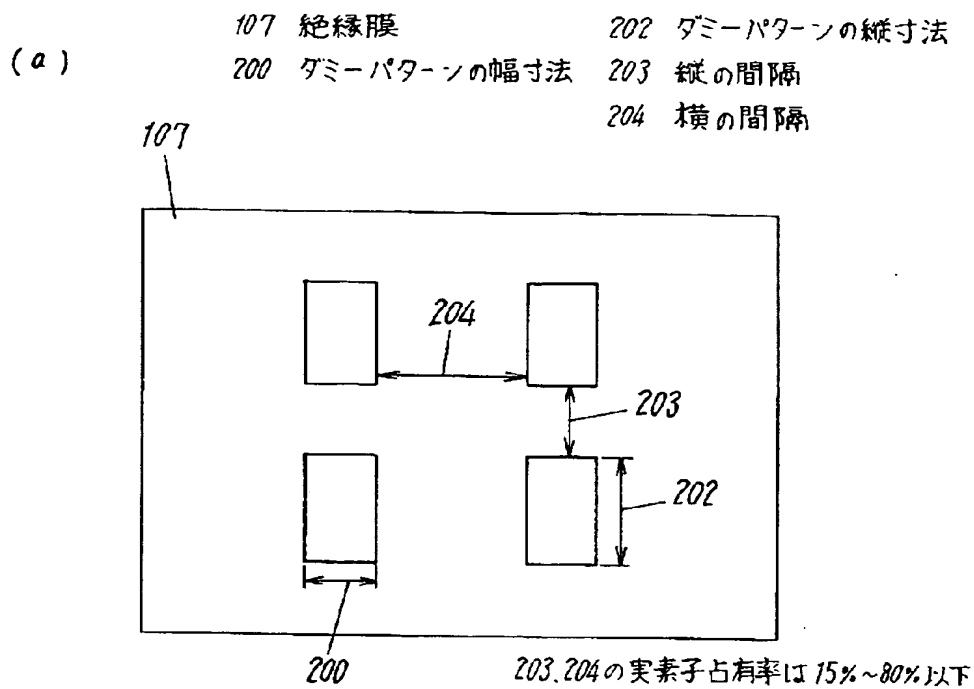


【図 2】



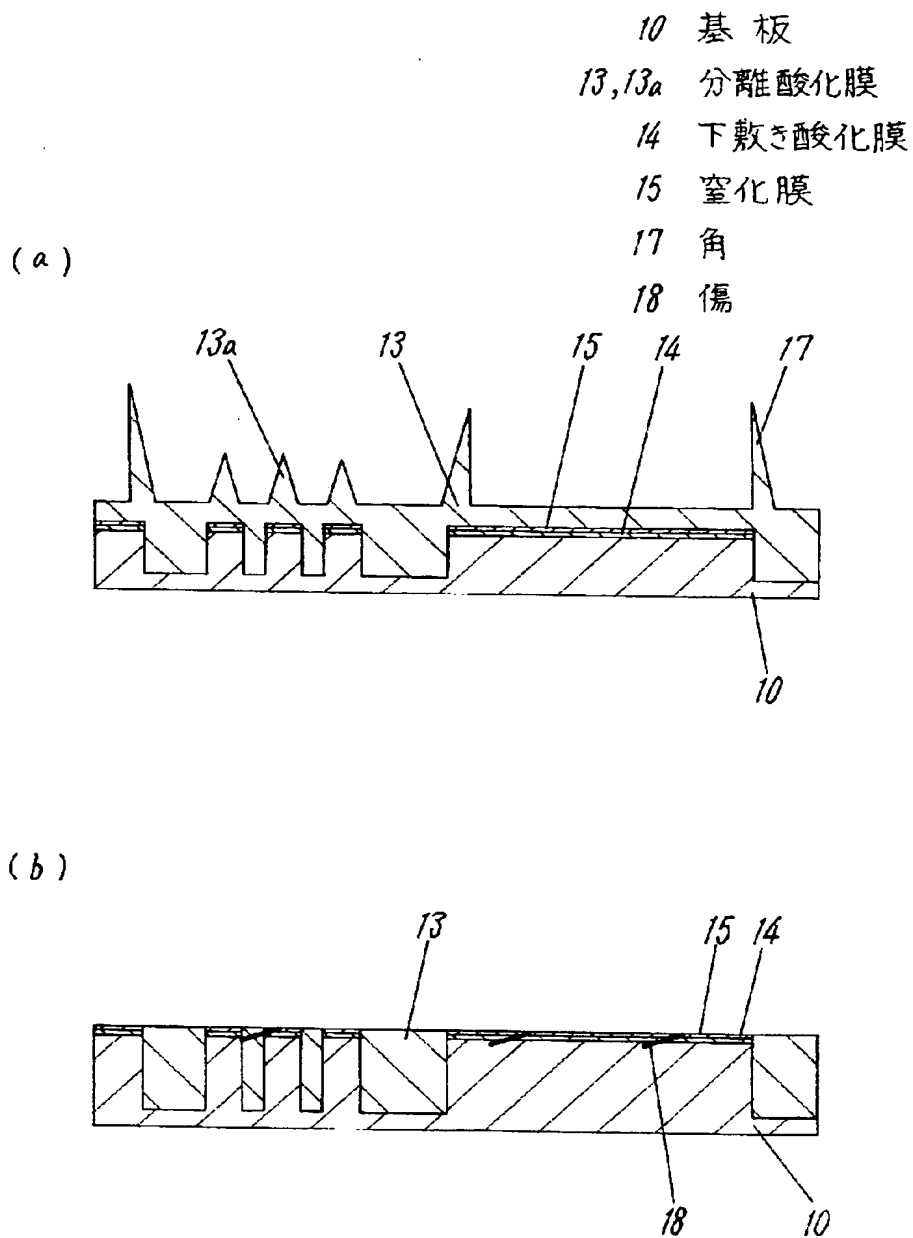
ダミー寸法がトレンチ深さの4倍以上になると段差緩和に必要な研磨時間が急激に増加する。

【図 3】





【図 4】



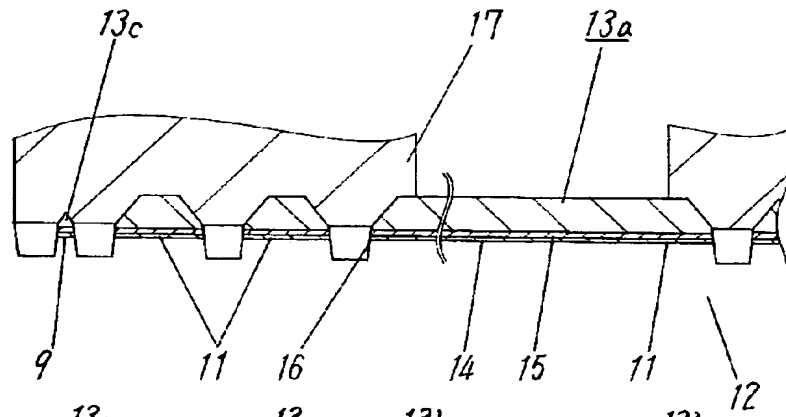
【図 5】

13a 分離酸化膜 14 下敷き酸化膜

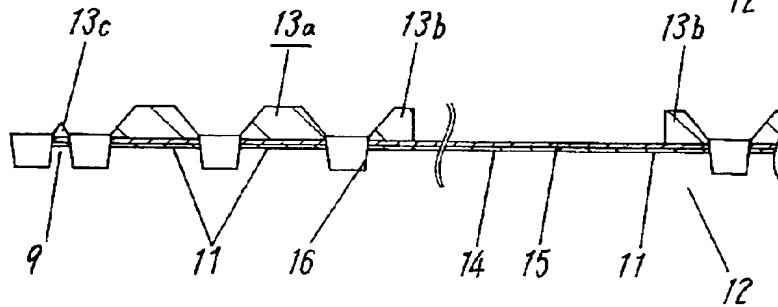
13b 端部 15 窒化膜

(分離酸化膜) 16 トレンチ

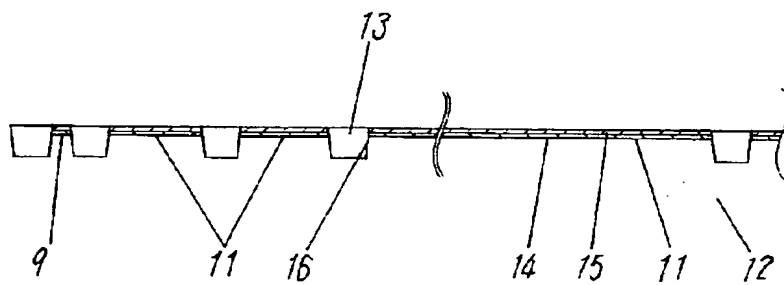
(a)



(b)



(c)



**【書類名】 要約書****【要約】**

**【課題】** S T I 形成過程における C M P 工程において、実素子領域上、もしくはダミーパターン領域上の分離酸化膜 1 3 を除去する際に、スクラッチ等が発生する。このスクラッチ等により、実素子領域表面に傷がつき、欠陥が発生することを防止する。

**【解決手段】** ダミーパターン幅寸法 2 0 0 が、実素子領域 1 0 6 における溝深さ 2 0 1 の 4 倍以上、またはダミーパターンの縦寸法 2 0 2 がダミーパターン幅寸法 2 0 0 の 3 倍以上であるダミーパターンを提供する。その結果、研磨の際にスクラッチ等の発生を抑えることが出来る。さらに、実素子領域 1 0 6 上とダミーパターン領域 1 0 5 上の段差緩和に必要な研磨時間の差を短縮するため、歩留まりの低下を抑えつつ、生産効率を向上させる半導体装置の製造方法を提供することが出来る。

**【選択図】** 図 1

特願 2 0 0 3 - 0 5 2 8 4 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社